

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 8 6 8 0 2

(43) 公開日 平成7年(1995)3月31日

(51) Int. Cl.⁶

H 0 1 P 1/20
3/08

識別記号

Z

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4

O L

(全 9 頁)

(21) 出願番号 特願平5-229256

(22) 出願日 平成5年(1993)9月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 天野 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 鶴見 博史

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 鈴木 康夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

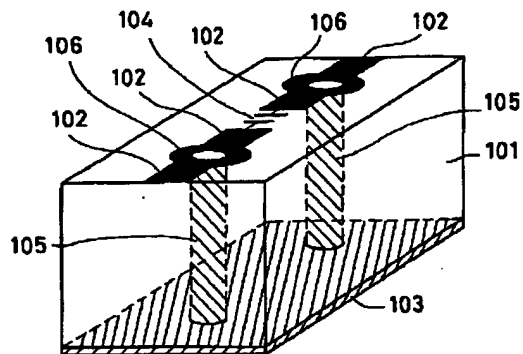
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 高周波回路

(57) 【要約】

【目的】 高周波回路基板上で実装面積の小さく且つ精度の良い高周波回路を提供することを目的とする。

【構成】 絶縁性基板本体と、前記絶縁性基板本体の一主面に形成されたマイクロストリップ線路と、前記絶縁性基板本体の他主面に形成された接地用導体層と、前記マイクロストリップ線路と前記接地用導体層を接続するスルーホールとを具備する高周波回路用基板において、前記絶縁性基板の所定の場所に1つもしくは複数の前記スルーホールを備え、前記スルーホールに含まれるインダクタンス成分もしくはキャパシタンス成分またはその両方を回路定数の一部として用いることを特徴とする高周波回路。



【特許請求の範囲】

【請求項1】絶縁性基板と、この絶縁性基板の一面に形成された導体層と、前記絶縁性基板の他面に導電線を形成した高周波回路において、前記絶縁性基板に設けられた空洞を介して前記導体層と前記導電線とを電気的に接続することにより特定周波数信号を遮断する機能を備えたことを特徴とする高周波回路。

【請求項2】絶縁性基板と、この絶縁性基板の一面に形成された導体層と、前記絶縁性基板の他面に導電線を形成した高周波回路において、前記絶縁性基板に設けられた空洞を介して前記導体層と前記導電線とを電気的に接続することによりインピーダンス整合機能を備えたことを特徴とする高周波回路。

【請求項3】絶縁性基板と、前記絶縁性基板の一面に形成されたマイクロストリップ線路と、前記絶縁性基板の他面に形成された接地用導体層と、前記マイクロストリップ線路と前記接地用導体層を接続するスルーホールとからなり、前記絶縁性基板の所定の場所に1つもしくは複数の前記スルーホールを備え、前記スルーホールに含まれるインダクタンス成分もしくはキャパシタンス成分またはその両方を回路定数の一部として用いることを特徴とする高周波回路。

【請求項4】前記絶縁性基板の一面に形成された集中定数素子を実装するための1つもしくは複数の導電性領域内の所定の位置に、前記導電性領域と前記接地用導体層を接続するための1つもしくは複数のスルーホールを設け、前記集中定数素子を実装するための前記導電性領域にインダクタンス成分を持たせたことを特徴とする請求項3記載の高周波回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は通信機器等の回路基板に構成される高周波回路に関する。

【0002】

【従来の技術】近年の回路設計技術およびIC化技術の進歩によって、回路基板上の低周波回路および高周波回路の大部分がIC内に形成されるようになった。そのため、回路基板上の実装部品のほとんどがICとして実装され、回路基板上での部品の実装面積は小さくなり、回路基板の大きさ自体も小形化されてきた。これらは近年の通信機器等の小形化に直接的な関わりを持っている。

【0003】しかし、IC内に形成される回路素子（インダクタンス、キャパシタンス、抵抗等）の素子値の精度（設計値からのズレ）は一般的に±20%程度と悪く、これらIC内に形成された回路素子を用いてIC内に精度の良い高周波受動回路（例えばフィルタ、インピーダンス整合回路など）を実現することは非常に困難である。

【0004】この理由から、これらの高周波受動回路は一般的に高周波回路基板上においてマイクロストリップ

線路もしくは集中定数素子によって実現される。そこで、これら高周波受動回路を小さい実装面積で且つ精度良く実現することが今後の課題となっている。

【0005】例えば、従来、回路基板上に構成される高周波回路の一つとして、所望の周波数の信号のみを選択するような帯域通過フィルタを構成しようとする場合、例えば図16に示すような約 $\lambda/2$ の長さ（ λ は所望信号の波長）のマイクロストリップ線路を共振器として用いた、分布定数型のマイクロストリップフィルタを構成するのが一般的であった。

【0006】しかしマイクロストリップ線路で高周波回路を実現する場合、その精度はパターンのエッチング精度（1%以下）とほぼ同じであるが、前記マイクロストリップフィルタを回路基板上に構成するためには、所望の周波数の約 $\lambda/2$ の長さのマイクロストリップ線路共振器と、前記共振器に信号を入力するための入力用マイクロストリップ線路と、前記共振器から信号を出力するための出力用マイクロストリップ線路と、前記共振器と前記入出力線路との間の間隙が必要であり、フィルタは回路基板上において大きな実装面積を占め、高周波回路全体の規模が大きくなるという問題点があった。

【0007】また、例えば、回路基板上に構成される高周波回路において、高周波ICの入力または出力のインピーダンスと回路基板上の線路のインピーダンスとの整合をとるための整合回路を実現する場合、例えば、高周波ICの入力端子の前段または出力端子の後段の回路基板上に、集中定数素子（チップインダクタンスとチップキャパシタンスなど）を用いて図14の回路例に示すような整合回路を実現するのが一般的であった。

【0008】しかし、近年の搬送波周波数の高周波化により、集中定数素子の大きさや形状が信号の波長に比べて無視できなくなり、集中定数素子自体が高周波特性を持ったり、また、集中定数素子を回路基板上に実装する際の半田やランドの形状自体が高周波特性を持つことも生じてきており問題となっていた。

【0009】したがって、分布定数線路（マイクロストリップ線路）による高周波回路設計や集中定数素子になるべく使わない回路設計が必要とされてきている。これに対して、高周波特性に優れたチップ部品も販売されているが、これらは非常に高価であり、通信機器等の全体のコスト低減には相応しくないという問題点がある。特に、チップインダクタンスに関しては、チップ抵抗やチップキャパシタンスに比べて一般的にその形状が大きく、部品自体が高周波特性を持ち、また回路の実装面積が大きくなるという問題点があった。

【0010】

【発明が解決しようとする課題】このように、回路基板上に高周波回路を実現しようとする場合において、高周波回路をマイクロストリップ線路で実現した場合は、マイクロストリップ線路が回路基板上で占める面積が非常

に大きいという問題点があり、また、集中定数素子で構成した場合においても、集中定数素子の形状に依存する高周波特性や集中定数素子と回路基板との接続部の形状に依存する高周波特性によって、回路素子の公称値からのズレが生じ、回路設計が困難であるという問題点があった。そこで本発明は、回路基板上で実装面積が小さく且つ精度の良い高周波回路を実現することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明においては、前記絶縁性基板本体の一主面に形成されたマイクロストリップ線路と、前記絶縁性基板本体の他主面に形成された接地用導体層と、前記マイクロストリップ線路と前記接地用導体層を接続するスルーホールとを具備する高周波回路において、前記絶縁性基板の所定の場所に1つもしくは複数の前記スルーホールを備え、前記スルーホールに含まれるインダクタンス成分もしくはキャパシタンス成分またはその両方を回路定数の一部として用いることを特徴とする。

【0012】また望ましくは、第1の発明の高周波回路において、前記絶縁性基板本体の一主面に形成された集中定数素子を実装するための1つもしくは複数のランド内の所定の位置に、前記ランドと前記接地用導体層を接続するための1つもしくは複数のスルーホールを設け、前記集中定数素子を実装するための前記ランドにインダクタンス成分を持たせたことを特徴とする。

【0013】

【作用】このように構成されたものにおいては、前記マイクロストリップ線路と前記接地用導体層を接続する前記スルーホールに含まれるインダクタンス成分もしくはキャパシタンス成分またはその両方を回路基板上の高周波回路の回路定数の一部として用いることにより、全体をマイクロストリップ線路で形成した場合よりも実装面積が小さい高周波回路を実現することが可能であり、また全体をチップ部品で構成した場合よりも精度の良い高周波回路を実現することが可能となる。

【0014】

【実施例】以下、図面を用いて本発明の実施例を説明する。図1～図3は本発明の高周波回路の第1の実施例を説明するための図面である。絶縁性基板本体(101)と、前記絶縁性基板本体(101)の一主面に形成されたマイクロストリップ線路(102)と、前記絶縁性基板本体(101)の他主面に形成された接地用導体層(103)と、前記マイクロストリップ線路(102)上に実装された所定の容量性集中定数素子(104)と、前記マイクロストリップ線路(102)と前記接地用導体層(103)を接続するスルーホール(105)とを図1に示すように構成し、前記スルーホール(105)のランド(106)を所定の大きさに形成することにより、図2の等価回路で示される帯域通過フィルタを

実現することができる。ここでスルーホール内面には導電製材料からなる接続路が設けられており、マイクロストリップ線路(102)と接地用導体層(103)とは接続路を介して電氣的に接続されている。この接続路はツチングを用いてスルーホール内面に形成できる。

【0015】従来、高周波回路基板上に帯域フィルタを構成する場合、図16に示すような約 $\lambda/2$ の長さ(λ は波長)のマイクロストリップ線路を共振器として用いた平行結合型フィルタを構成するのが一般的であるが、このフィルタを実現するためには約 $\lambda/2$ の長さのマイクロストリップ線路共振器(1601)と、前記共振器に信号を入力するための入力用マイクロストリップ線路(1602)と、前記共振器から信号を出力するための出力用マイクロストリップ線路(1603)と、前記共振器と前記入力線路との間の間隙(1604)が必要であり、高周波回路基板上で大きな実装面積を必要とし、高周波回路の規模が大きくなるという問題点があった。図16より明らかなように、平行結合型フィルタ全体で λ 程度の長さを必要とするため、誘電体による影響を考慮すると、例えば $f=2\text{GHz}$ のとき 10cm 程度の大きさを必要とすることとなる。

【0016】一方、図1に示すように構成された帯域通過フィルタは高周波回路基板上の高周波回路において、帯域通過フィルタを必要とする機能ブロック間に配線されるマイクロストリップ線路の任意の場所に、直線的に、小さい実装面積で実現できるので高周波回路全体の小形化が可能となる。

【0017】図3は上記のように構成された帯域通過フィルタの特性を示す。ここで用いた帯域通過フィルタの誘電体には樹脂基板を、マイクロストリップ線路には銅を用いており、またスルーホールの内径は $0.3\sim 0.5\text{mm}$ 、スルーホールの長さはおよそ 0.2mm 、ランド(106)の外径は $0.5\sim 0.8\text{mm}$ としている。

【0018】図4は本発明の高周波回路の第2の実施例を説明するための図面である。絶縁性基板本体(401)と、前記絶縁性基板本体(401)の一主面に形成されたマイクロストリップ線路(402)と、前記絶縁性基板本体(401)の他主面に形成された接地用導体層(403)と、前記マイクロストリップ線路(402)に形成された所定の容量性分布定数素子(404)と、前記マイクロストリップ線路(402)と前記接地用導体層(403)を接続するスルーホール(405)とを図4に示すように構成し、前記スルーホール(405)のランド(406)を所定の大きさに形成することにより、図2の等価回路で示される帯域通過フィルタを実現することができる。

【0019】このように構成された帯域通過フィルタは高周波回路基板内の高周波回路において、帯域通過フィルタを必要とする機能ブロックの前段または後段に接続されるマイクロストリップ線路の任意の場所に、小さい

実装面積で実現できるので高周波回路全体の小形化が可能となる。

【0020】図5は本発明の高周波回路の第3の実施例を説明するための図面である。図1の帯域通過フィルタにおいて、図5に示すように前記集中定数素子(501)を実装するためのランドと前記スルーホール(502)を形成するためのランドを共用することによって、前記集中定数素子(501)を前記共用ランド間に実装し、前記共用ランド(503)を所定の大きさに形成することにより、更に実装面積の小さい帯域通過フィルタを実現することができる。

【0021】また、図6は図5に示した帯域通過フィルタを多段接続した場合の構成例であり、本構成を用いれば高周波回路基板上において、小さい実装面積で多段の帯域通過フィルタを容易に実現できる。

【0022】図7～図9は本発明の高周波回路の第4の実施例を説明するための図面である。絶縁性基板本体(701)と、前記絶縁性基板本体(701)の一主面に形成された第一のマイクロストリップ線路(702)と、同じく前記絶縁性基板本体(701)の一主面に形成された所望の周波数の約 $\lambda/4$ の長さの第二のマイクロストリップ線路(703)と、前記絶縁性基板本体(701)の他主面に形成された接地用導体層(704)と、前記マイクロストリップ線路(702、703)と前記接地用導体層(704)を接続するスルーホール(705)とを図7に示すように構成し、前記スルーホール(705)のランド(706)を所定の大きさにすることにより、図8の等価回路で示される帯域通過フィルタを実現することができる。

【0023】このように構成された帯域通過フィルタは高周波回路基板上の高周波回路において、部品点数を増やすこと無く、所定の場所にスルーホールを形成することのみで容易に実現することができるので高周波回路全体の小形化が可能となる。図9は上記のように構成された帯域通過フィルタの特性の一例を示す。

【0024】図10～図12は本発明の高周波回路の第5の実施例を説明するための図面である。絶縁性基板本体(1001)と、前記絶縁性基板本体(1001)の一主面に形成されたマイクロストリップ線路(1002)と、前記絶縁性基板本体(1001)の他主面に形成された接地用導体層(1003)と、前記マイクロストリップ線路(1002)上に実装された所定の集中定数素子(1004)と、前記マイクロストリップ線路(1002)と前記接地用導体層(1003)を接続するスルーホール(1005)を図10に示すように構成することにより、図11の等価回路で示される高域通過フィルタを実現することができる。

【0025】このように構成された高域通過フィルタは高周波回路基板上の高周波回路において、高域通過フィルタを必要とする機能ブロック間に配線されるマイクロ

ストリップ線路の任意の場所に、直線的に、小さい実装面積で実現できるので高周波回路全体の小形化が可能となる。上記のように構成された高域通過フィルタの特性の一例を図12に示す。

【0026】図13は本発明の高周波回路の第6の実施例を説明するための図面である。絶縁性基板本体(1301)と、前記絶縁性基板本体(1301)の一主面に形成されたマイクロストリップ線路(1302)と、前記絶縁性基板本体(1301)の他主面に形成された接地用導体層(1303)と、前記マイクロストリップ線路(1302)に形成された所定の容量性分布定数素子(1304)と、前記マイクロストリップ線路(1302)と前記接地用導体層(1303)を接続するスルーホール(1305)とを図13に示すように構成することにより、同様に図11の等価回路で示される高域通過フィルタを実現することができる。

【0027】このように構成された帯域通過フィルタは高周波回路基板上の高周波回路において、高域通過フィルタを必要とする機能ブロック間に配線されるマイクロストリップ線路の任意の場所に、小さい実装面積で実現できるので高周波回路全体の小形化が可能となる。

【0028】また図1～図13で説明した高周波フィルタにおいて高周波線路を接地導体層で挟み込んだストリップ線路(トリプレート線路)で構成した場合においても、同様の効果が得られることは明らかである。

【0029】また以上の説明においては、誘電体基板の外面に導体線路、接地用導体板を設けることとしているが、誘電体基板と接地用導体板とを交互に積層することにより、複数層の接地用導体板にスルーホールを設けることによりフィルタ回路を構成することも可能である。この場合には、異なる層の接地用導体板に対してスルーホールの長さ、内径等を調製することにより、スルーホールによるキャパシタンス特性、インダクタンス特性の変化させて、容易にフィルタ回路を所望の高周波特性に調製することができる。

【0030】図14～図15は本発明の高周波回路の第7の実施例を説明するための図面である。例えば高周波回路において、ある高周波IC(1401)の入力または出力のインピーダンスが高周波回路基板上のマイクロストリップ線路(1402)のインピーダンスと異なる場合においては、一般的に前記高周波IC(1401)と前記マイクロストリップ線路(1402)との間にインピーダンス整合回路を設ける必要がある。このようなインピーダンス整合回路の一般的な構成を図14に示す。

【0031】このインピーダンス整合回路(1403)を高周波回路基板上に実現するためには図14の各回路素子を高周波IC(1401)内に形成して整合回路を実現するのが一般的であるが、しかし、IC内に形成した素子の精度は一般的に $\pm 20\%$ 程度と悪く、所望の整合回路を精度良く実現することは非常に困難であった。

そこで、高周波IC(1401)の前段または後段にチップ部品により整合回路を形成することも行われているが、近年の搬送波周波数の高周波化にともなって、チップ部品の形状が信号の波長に比べて無視できなくなり、チップ部品自体が高周波特性を持ったり、また、チップ部品を基板に実装する際の半田やランド形状が高周波特性を持つことも生じてきた。特に、整合回路に必須であるインダクタンス素子は一般的に他のチップ部品と比べてその形状が大きいために、その形状によりチップ部品自体が高周波特性を持ちやすくなり、整合回路の設計を困難にしているとともに回路の実装面積が大きくなるという問題点がある。さらに、インダクタンス素子は他のチップ部品に比べて高価であるために、多くのインダクタンス素子を必要とする整合回路などに用いることは、高周波回路のコストアップに繋がるという問題点がある。

【0032】そこで、図14のインピーダンス整合回路(1403)に対して、図15に示すように高周波IC(1501)の入出力整合回路の一部にスルーホール(1502)のインダクタンス成分とキャパシタンス成分を用い、直列のキャパシタンス成分に対してチップキャパシタンス(1503)または容量性分布定数素子(1504)を用いることによって、整合回路を小さい実装面積で実現することができる。また、前記スルーホールの持つインダクタンス成分とキャパシタンス成分の精度はスルーホールの形状の精度にほぼ一致するので、IC内に素子を形成する場合や、高周波特性を持ったチップ部品により回路を形成する場合に比べて、精度の良い整合回路を実現することが可能である。

【0033】

【発明の効果】本発明によれば、絶縁性基板本体と、前記絶縁性基板本体の一主面に形成されたマイクロストリップ線路と、前記絶縁性基板本体の他主面に形成された接地用導体層と、前記マイクロストリップ線路と前記接地用導体層を接続するスルーホールとを具備する高周波回路用基板において、前記絶縁性基板の所定の場所に1つもしくは複数の前記スルーホールを備え、前記スルーホールに含まれるインダクタンス成分もしくはキャパシタンス成分またはその両方を回路定数の一部として用いることによって、高周波回路基板上の高周波回路を小さい実装面積で且つ精度良く実現することができる。

【図面の簡単な説明】

【図1】 本発明の高周波回路の第1の実施例を示す図。

【図2】 図1の高周波回路の等価回路。

【図3】 図1の構成の高周波回路の周波数特性。

【図4】 本発明の高周波回路の第2の実施例を示す図。

【図5】 本発明の高周波回路の第3の実施例を示す図。

【図6】 本発明の高周波回路の第3の実施例に対する応用例。

【図7】 本発明の高周波回路の第4の実施例を示す図。

【図8】 図7の高周波回路の等価回路。

【図9】 図7の構成の高周波回路の周波数特性。

【図10】 本発明の高周波回路の第5の実施例を示す図。

【図11】 図10の高周波回路の等価回路。

【図12】 図10の構成の高周波回路の周波数特性。

【図13】 本発明の高周波回路の第6の実施例を示す図。

【図14】 一般的なインピーダンス整合回路。

【図15】 本発明の高周波回路の第7の実施例を示す図。

【図16】 従来の帯域通過フィルタ。

【符号の説明】

101 絶縁性基板本体、102 マイクロストリップ線路

103 接地用導体層、104 容量性集中定数素子

105 スルーホール、106 ランド

401 絶縁性基板本体、402 マイクロストリップ線路

403 接地用導体層、404 容量性分布定数素子

405 スルーホール、406 ランド

501 集中定数素子、502 スルーホール

503 共用ランド、504 マイクロストリップ線路

505 絶縁性基板、506 接地用導体

601 集中定数素子、602 スルーホール

30 603 ランド、604 マイクロストリップ線路

605 絶縁性基板、606 接地用導体

701 絶縁性基板本体、702 第1のマイクロストリップ線路

703 第2のマイクロストリップ線路、704 接地用導体層

705 スルーホール、706 ランド

1001 絶縁性基板本体、1002 マイクロストリップ線路

1003 接地用導体、1004 容量性集中定数素子

1005 スルーホール、1301 絶縁性基板本体

1302 マイクロストリップ線路、1303 接地用導体層

1304 容量性分布定数素子、1305 スルーホール

1401 高周波IC、1402 マイクロストリップ線路

1403 インピーダンス整合回路、1501 高周波IC

1502 スルーホール、1503 容量性集中定数素子

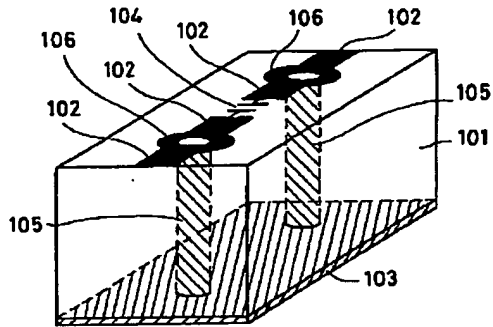
9

1504 容量性分布定数素子、1505 マイクロストリップ線路
 1506 絶縁性基板、1507 接地用導体
 1601 $\lambda/2$ 共振器、1602 入力用マイクロ

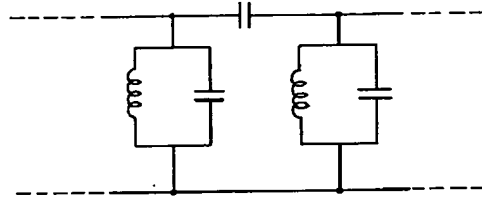
10

トリップ線路
 1603 出力用マイクロストリップ線路、1604
 間隙

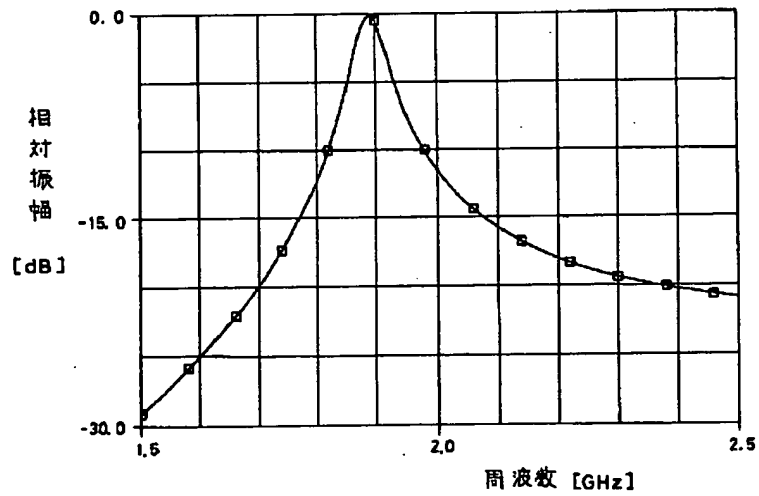
【図1】



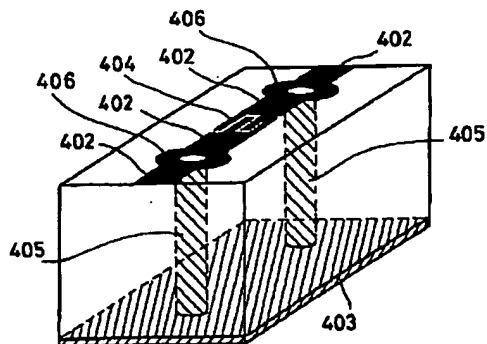
【図2】



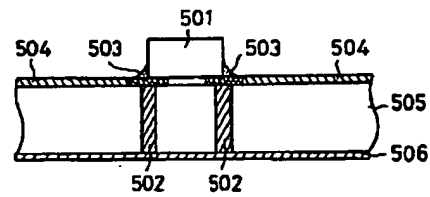
【図3】



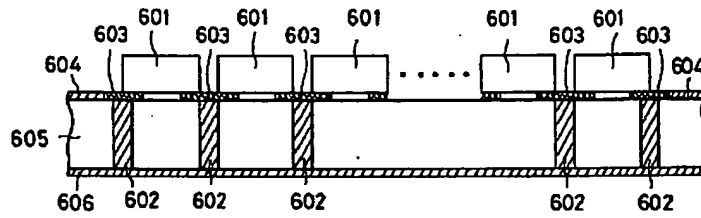
【図4】



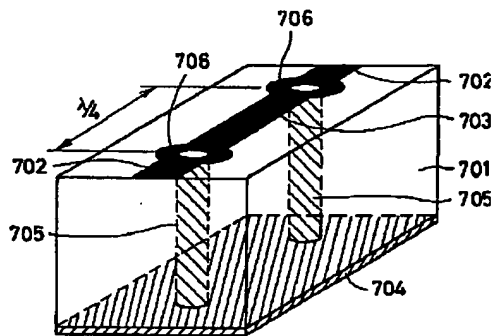
【図5】



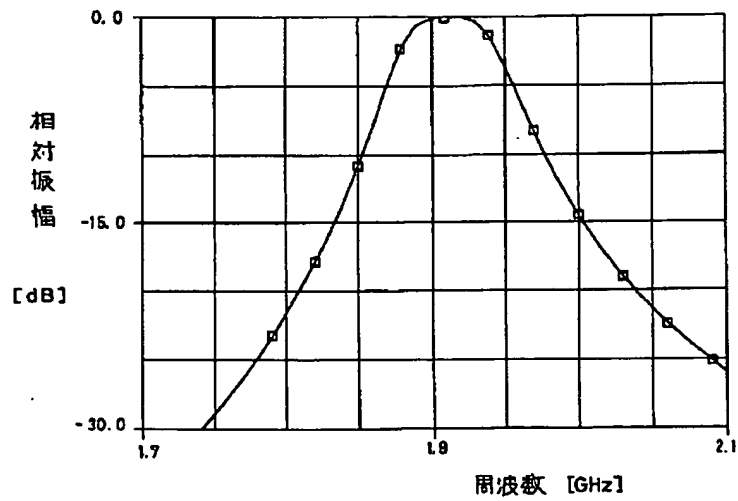
【図6】



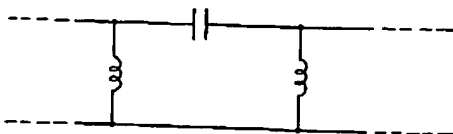
【図7】



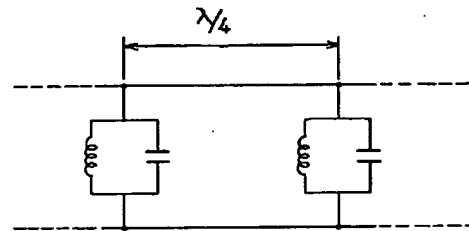
【図9】



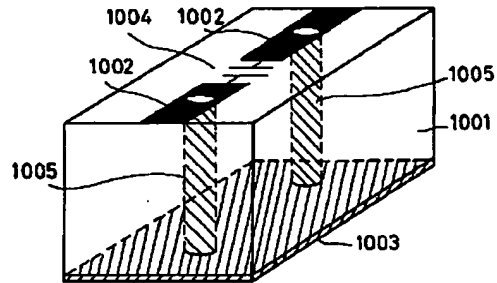
【図11】



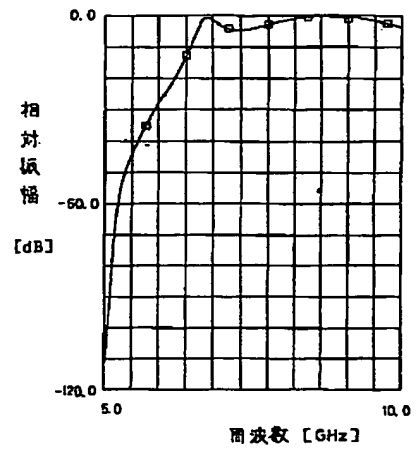
【図8】



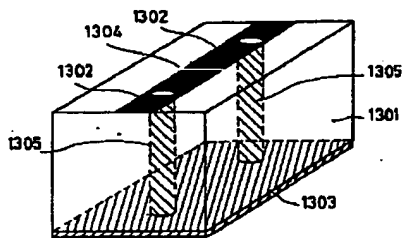
【図10】



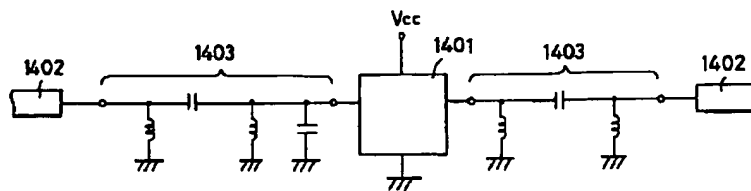
【図12】



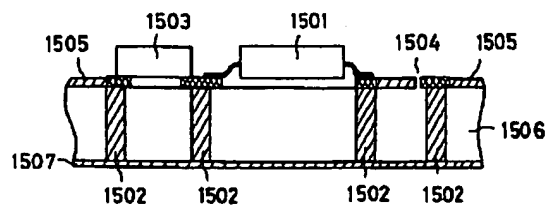
【図13】



【図14】



【図15】



【図16】

